**Лабораторная работа № 2**

**Базовые логические элементы**

**Задание:**

Реализовать программу описывающую схему/выражение.

**Теоретическая часть**

Основной структурной единицей устройства, которые описываются с помощью языка описания аппаратуры, является модуль . Все модули являются независимыми объектами уровня проекта и не могут включать в себе описания других модулей. Но модуль может содержать в себе ссылки на другие модули. Для разработки крупных программ удобно размещать модули в разных файлах в рамках одного проекта.

В общем случае модуль имеет следующую структуру:

*module* имя\_модуля (Интерфейс модуля)

Описание интерфейса

….

Внутренняя реализация модуля

….

*endmodule*

module, endmodule - зарезервированные слова, обозначающие начало и конец модуля. Имя\_модуля - идентификатор, по которому можно будет обратиться к данному модулю из других частей программы. Интерфейс\_модуля - перечень входных и выходных сигналов модуля, при этом указания типа и направлении нет. Опис\_интерфейсу - перечисляются Тип и направления сигналов, описанные в интерфейсе модуля. Внутренняя\_реализация\_модуля - это последовательность операторов языка Verilog, которая описывает поведение данного модуля.

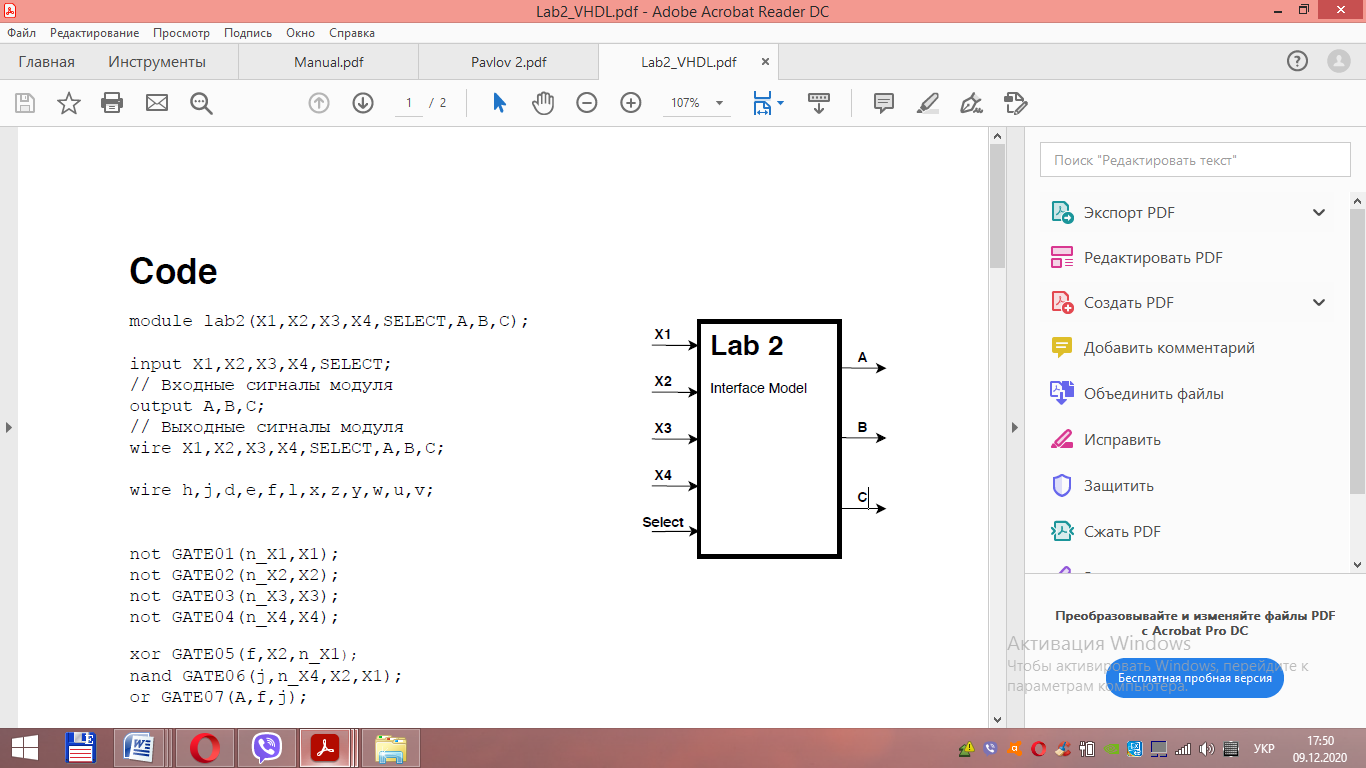


Рис. 1. Интерфейсная модель

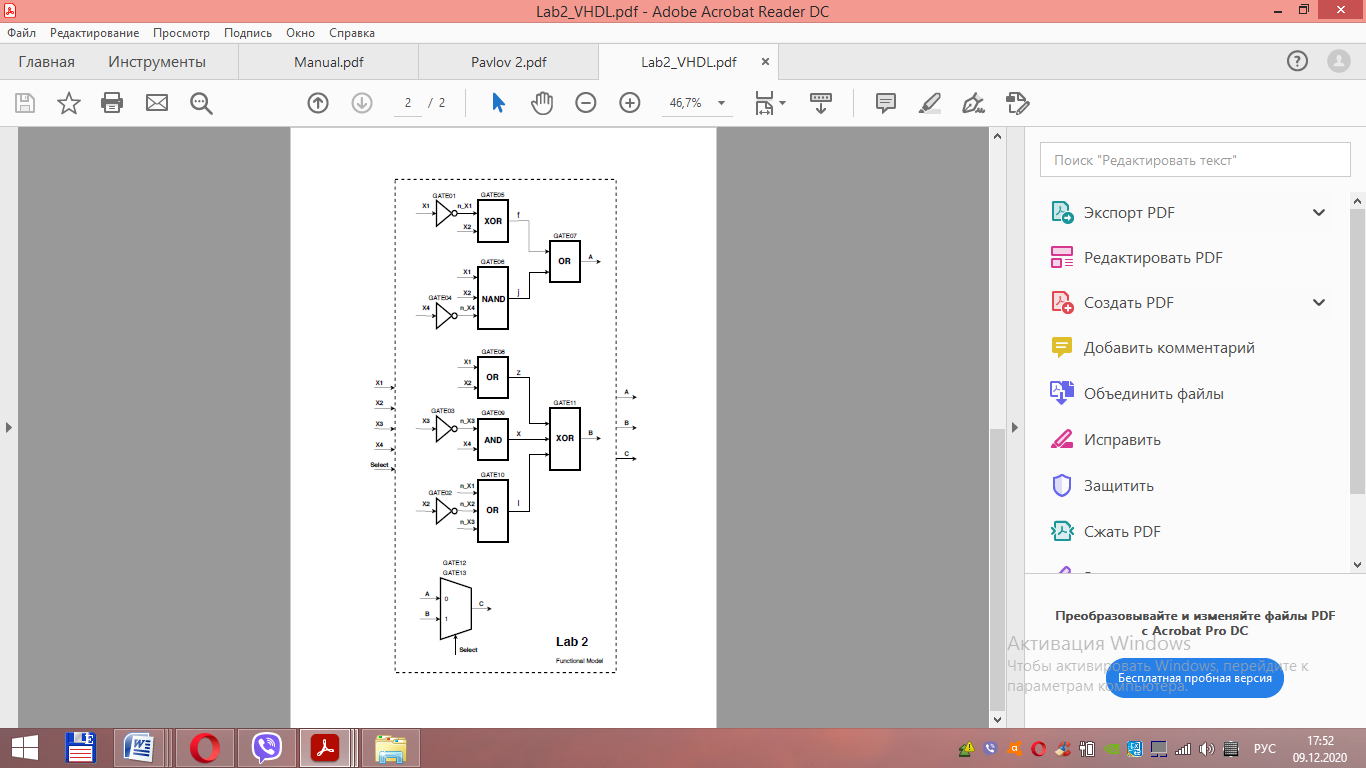


Рис. 2. Функциональная модель

**Код программы:**

module lab2(X1,X2,X3,X4,SELECT,A,B,C);

input X1,X2,X3,X4,SELECT;

// Входные сигналы модуля

output A,B,C;

// Выходные сигналы модуля

wire X1,X2,X3,X4,SELECT,A,B,C;

wire h,j,d,e,f,l,x,z,y,w,u,v;

not GATE01(n\_X1,X1);

not GATE02(n\_X2,X2);

not GATE03(n\_X3,X3);

not GATE04(n\_X4,X4);

xor GATE05(f,X2,n\_X1);

nand GATE06(j,n\_X4,X2,X1);

or GATE07(A,f,j);

or GATE08(z,X1,X2);

and GATE09(x,n\_X3,X4);

or GATE10(l,n\_X3,n\_X1,n\_X2);

xor GATE11(B,l,z,x);

bufif1 GATE15 (C,B,SELECT);

bufif0 GATE16 (C,A,SELECT);

endmodule

**Вывод.** На лабораторной работе я была ознакомлена с базовыми логическими элементами. Основной структурной единицей устройства, которые описываются с помощью языка описания аппаратуры, является модуль . Все модули являются независимыми объектами уровня проекта и не могут включать в себе описания других модулей.

Так же была реализована программа описывающую схему/выражение.